

特開平8-167856

(43)公開日 平成8年(1996)6月25日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 7/46		9382-5K		
G 0 6 T 9/00				
H 0 4 N 1/41	B			

G O 6 F 15/ 66 3 3 0 E

H04N 7/133 Z

審査請求 未請求 請求項の数5 OL (全 12 頁) 最終頁に絞く

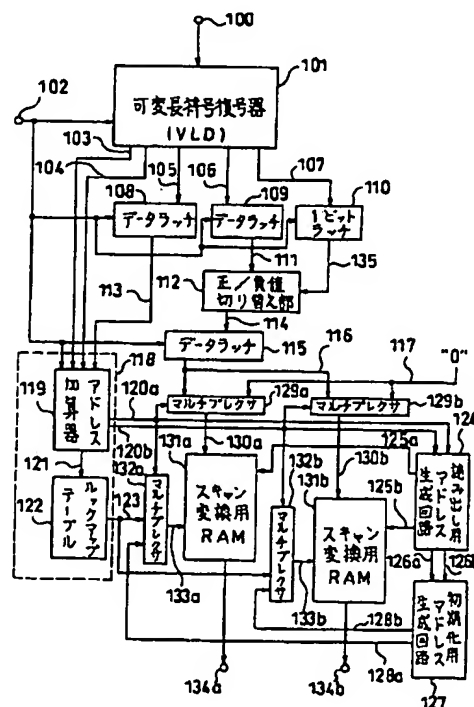
(21)出願番号	特願平7-258953	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成7年(1995)10月5日	(72)発明者	藤原 美貞雄 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31)優先権主張番号	特願平6-246014	(72)発明者	後井 良之 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32)優先日	平6(1994)10月12日	(72)発明者	石井 秀樹 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(33)優先権主張国	日本(JP)	(74)代理人	弁理士 前田 弘 (外2名)

(54) 【発明の名称】 ランレングス符号の復号回路

(57) 【要約】

【課題】 高周波数の画素クロック信号にリアルタイムに対応できる高効率のランレングス復号回路を提供する。

【解決手段】 第1のスキャン変換用RAM131aに格納されている全てのデータワードを“0”に初期化した後に、ゼロランレングスデータワードに基づいて符号付レベルデータワードのみを第1のスキャン変換用RAM131aの中のジグザグスキャンアドレスで指定された位置の“0”に上書きする。このようにして1個のブロックを構成する8×8個の成分のうちの非零の成分のみを第1のスキャン変換用RAM131aに書き込んでいる間に、第2のスキャン変換用RAM131bに格納されている1個のブロックの読み出し及び初期化を行う。また、次のブロックの非零の成分のみを第2のスキャン変換用RAM131bに書き込んでいる間に、第1のスキャン変換用RAM131aに格納されている1個のブロックの読み出し及び初期化を行う。



1

【特許請求の範囲】

【請求項 1】 各々非零の成分に先行する零成分の個数を表すゼロランレングスデータワードと、前記非零の成分の値を表すレベルデータワードとで構成された複数のデータセットを有するランレングス符号化されたデータストリームを復号するための回路であって、

前記データストリームの中のゼロランレングスデータワードと、対応するレベルデータワードとを 1 個ずつラッチするための手段と、

スキャン変換のために一連のデータワードを各々所定の位置に格納するための記憶手段と、

前記記憶手段に格納されているデータワードを全て零のデータワードに初期化するための初期化手段と、

前記ラッチされたゼロランレングスデータワードに基づいて前記記憶手段の中の 1 個の零のデータワードに上書きするように、前記ラッチされたレベルデータワードを前記記憶手段に書き込むための書き込み手段と、

前記記憶手段に格納されているデータワードを順次読み出すための読み出し手段とを備えたことを特徴とするランレングス符号の復号回路。

【請求項 2】 請求項 1 記載のランレングス符号の復号回路において、

前記書き込み手段は、

保持している線形アドレスと、前記ラッチされたゼロランレングスデータワードで表された零成分の個数と、1 とを加算することにより新たな線形アドレスを算出するための加算器と、

前記算出された線形アドレスからジグザグスキャンアドレスを求め、該求めたジグザグスキャンアドレスを書き込みアドレスとして前記記憶手段へ供給するためのルックアップテーブルとを備えたことを特徴とする復号回路。

【請求項 3】 請求項 1 記載のランレングス符号の復号回路において、

前記記憶手段は、2 個のデュアルポート RAM を備え、前記 2 個のデュアルポート RAM のうちの一方への前記ラッチされたレベルデータワードの書き込み期間に、他方のデュアルポート RAM に格納されているデータワードの読み出し及び初期化が行われることを特徴とする復号回路。

【請求項 4】 請求項 3 記載のランレングス符号の復号回路において、

前記他方のデュアルポート RAM に格納されている 1 個のデータワードの読み出し直後に、該データワードの初期化が行われることを特徴とする復号回路。

【請求項 5】 請求項 1 記載のランレングス符号の復号回路において、

前記記憶手段は、3 個のシングルポート RAM を備え、前記 3 個のシングルポート RAM のうちのいずれか 1 個への前記ラッチされたレベルデータワードの書き込み期

2

間に、他の 1 個のシングルポート RAM に格納されているデータワードの読み出しと、更に他の 1 個のシングルポート RAM に格納されているデータワードの初期化とが行われることを特徴とする復号回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ランレングス符号の復号回路に関するものである。

【0002】

【従来の技術】動画像データの圧縮及び伸張に関する国際標準として、ISO/IEC のワーキング・グループの名をとって一般に MPEG 2 (Moving Picture Image Coding Experts Group Phase 2) と呼ばれている国際標準が知られている。MPEG 2 によれば、動画像データは 8×8 画素のサイズのブロック又は 16×16 画素のサイズのマクロブロックに分割され、ブロック単位又はマクロブロック単位でデータ処理が行われる。

【0003】MPEG 2 に準拠した動画像データの圧縮のためのイメージ符号化器は、DCT (Discrete Cosine Transform, 離散コサイン変換) 回路と、量子化器と、RLC (Run Length Coder, ランレングス符号化器) と、VLC (Variable Length Coder, 可変長符号化器) とを主な構成要素としている。DCT 回路は、空間領域のデータをブロック単位で周波数領域のデータに変換するものである。この変換は、自然画像では一般的に低周波数域にエネルギーの大部分が集約されるという性質を利用して、非零で相対的に大きな値を有する係数が低周波数域に偏在することをねらっている。量子化器は、高周波数域に対する人間の視覚の感受性が低周波数域よりも低いことを利用して、DCT 回路の結果のうちの高周波数域の係数をより粗く量子化する。これにより、高周波数域の小さい値を持つ係数のほとんどが零成分に変換される。RLC は、零成分が連なりやすいように量子化器の結果をジグザグにスキャンしながら、各々非零の成分に先行する零成分の個数を表すゼロランレングスデータワードと、該非零の成分の値を表すレベルデータワードとで構成された複数のデータセットを有するデータストリームを生成するものである。このランレングス符号化されたデータストリームは、VLC によつて、ハフマンコード (Huffman code) のテーブルを用いることにより可変長符号化される。

【0004】ここで、上記イメージ符号化器の中の RLC のデータ処理について、図 5～図 7 に示す例を参照しながら説明する。図 5 は、量子化直後の 1 個のブロックを構成する 8×8 個の成分 $QF[v][u]$ ($0 \leq v \leq 7, 0 \leq u \leq 7$) の例を示している。図 6 に示すジグザグスキャンの順序に関する規則に従って図 5 中の 8×8 個の成分をスキャンしながら、ゼロランレングスデータワードとレベルデータワード (非零の成分に係るデータワード) との対を順次求める。図 7 中の符号番号 1～2

3

1は、求められた21対のデータワードを示しており、これらはDCT回路の結果のうちの63個のAC（交流）係数に対応している。v=0かつu=0の位置のDC（直流）係数に対応するデータワードは符号番号0に、EOB（End of Block）コードは符号番号22にそれぞれ示されている。なお、EOBコードは、量子化器の結果の中にこれ以降は非零の成分が存在しないことを示す。図5～図7によれば、量子化器の結果において1個のブロックを構成する8×8個の成分が、RLDの結果ではDC係数に対応する1個のデータワードと、AC係数に対応する21対のデータワードと、EOBコードとに圧縮される。

【0005】一方、元の動画データを再生するためのイメージ復号器は、上記イメージ符号化器に対応して、VLD（Variable Length Decoder、可変長符号復号器）と、RLD（Run Length Decoder、ランレングス符号復号器）と、逆量子化器と、IDCT（Inverse Discrete Cosine Transform、逆離散コサイン変換）回路とを主な構成要素とする。

【0006】図4は、従来のイメージ復号器の中のRLDの回路構成例を、その前段のVLDとともに示している。図4の復号回路は、VLD201と、1ビットラッチ210と、第1のデータラッチ211と、データプリセット付のダウンカウンタ212と、第2のデータラッチ221と、アドレスカウンタ223と、ルックアップテーブル226と、スキャン変換用RAM（Random Access Memory）232とを備えたパイプライン構成をとっている。第1のデータラッチ211と、ダウンカウンタ212と、第2のデータラッチ221とのビット長はそれぞれ、例えば16、8及び16である。データ入力端子200を介して供給される可変長符号化されたデータストリームは、VLD201へ供給される。クロック信号202は、復号回路の同期動作のために、1ビットラッチ210と、第1のデータラッチ211と、ダウンカウンタ212と、第2のデータラッチ221と、アドレスカウンタ223とに分配されるとともに、マスク回路203及び信号線204を介してVLD201へも供給される。

【0007】VLD201は、DC係数の可変長符号がデータ入力端子200に与えられると、1個のブロックの始まりを示すブロックスタート信号を信号線205へ供給する。また、VLD201は、AC係数の可変長符号がデータ入力端子200に与えられると、非零の成分に先行する零成分の個数を表すゼロランレングスデータワードを信号線207へ、該非零の成分の絶対値を表すレベルデータワードを信号線208へ、該非零の成分が正であるか負であるかを指定する1ビット情報を信号線*

If S(n)=0 then SLEVEL(n)=LEVEL(n) … (1)

If S(n)=1 then SLEVEL(n)=(-LEVEL(n)) … (2)

に従って符号付レベルデータワードSLEVEL(n)

4

*209へそれぞれ供給する。DC係数に係る復号結果は、レベルデータとして信号線208及び209へ供給される。更に、VLD201は、EOBに係る可変長符号がデータ入力端子200に与えられると、EOB検出信号を信号線206へ供給する。

【0008】信号線205上のブロックスタート信号を受けたアドレスカウンタ223は、クロック信号202に同期して計数値を初期値“0”から順番にカウントアップし、該計数値を線形アドレスとして信号線224へ供給する。また、アドレスカウンタ223は、計数値が“63（10進数表現）”になると、ブロックの終了を示すパルス信号をブロック終了信号として信号線225へ供給する。VLD201とアドレスカウンタ223とに接続されたRSフリップフロップ228は、初期状態では信号線229を“L”レベルに保持しており、信号線206上のEOB検出信号を受けたときに信号線229を“H”レベルにセットし、信号線225上のブロック終了信号を受けたときに信号線229を“L”レベルにリセットする。

【0009】ルックアップテーブル226は、図6のジグザグスキャンに対応した図8に示すアドレス変換テーブルを持っており、信号線224上の線形アドレスをこれに対応するジグザグスキャンアドレスに変換し、該ジグザグスキャンアドレスを信号線227へ供給する。信号線227上のジグザグスキャンアドレスは、スキャン変換用RAM232に書き込みアドレスとして与えられる。

【0010】信号線207上のゼロランレングスデータワードはダウンカウンタ212に、信号線208上のレベルデータワードは第1のデータラッチ211に、信号線209上の1ビット情報は1ビットラッチ210に、それぞれクロック信号202に同期して取り込まれる。ダウンカウンタ212は、プリセットされたゼロランレングスデータワードを、クロック信号202に同期しながら“0”になるまでダウンカウントする。この計数動作中は、ダウンカウンタ212の信号線213が“H”レベルに固定される結果、マスク回路203がVLD201へのクロック信号202の伝播を阻止し、VLD201は信号線207、208及び209の状態を保持する。一方、第1のデータラッチ211に取り込まれたレベルデータワードは信号線215を介して、1ビットラッチ210に取り込まれた1ビット情報は信号線214を介してそれぞれ正/負値切り替え部216へ供給される。信号線215上のレベルデータワードをLEVEL(n)とし、信号線214上の1ビット情報をS(n)とするとき（図7の例ではn=0～21である。）、正/負値切り替え部216は、

を計算し、該符号付レベルデータワードを信号線218

へ供給する。

【0011】さて、ダウンカウンタ212の計数動作中は、該ダウンカウンタ212の他の信号線217も

“H”レベルに固定される結果、2本の信号線217及び229上の信号を2入力とするNOR回路230が信号線231上の選択信号を“H”レベルに固定する。信号線231上の“H”レベルの選択信号の供給を受けたマルチプレクサ219は、固定データワード“0”を信号線220へ供給する。ダウンカウンタ212の計数値が“0”になると、信号線213及び217が“L”レベルになる。この結果、VLD201は次の可変長符号の復号結果を信号線207、208及び209へ供給し、マルチプレクサ219は信号線218上の符号付レベルデータワードを信号線220へ供給する。EOBに係る可変長符号がデータ入力端子200に与えられたときには、前記のとおりVLD201がEOB検出信号をRSフリップフロップ228へ供給する結果、マルチプレクサ219は再び固定データワード“0”を信号線220へ供給するようになる。以上のようにして信号線220上へ供給された固定データワード“0”と符号付レベルデータワードとは、クロック信号202に同期して第2のデータラッチ221に取り込まれる。第2のデータラッチ221に順次取り込まれたデータワードは、信号線222を介してスキャン変換用RAM232に書き込みデータとして与えられる。この結果、一連のデータワードがスキャン変換用RAM232の中の前記信号線227上のジグザグスキャンアドレスで指定された位置に順次書き込まれ、図5に示すような8×8個の成分で構成された1個のブロックがスキャン変換用RAM232の中に復元される。そして、スキャン変換用RAM232の中の8×8個の成分は、不図示の読み出し手段によりデータ出力端子234を介して次段の逆量子化器へ順次供給される。

【0012】

【発明が解決しようとする課題】上記のとおり、従来のRLDは、1個のブロックを構成する8×8個の成分のうちの非零の成分の個数にかかわらず、1個のブロックの処理にクロック信号202の中の8²個のクロックパルスを要した。

【0013】一方、カラー動画像の中の16×16画素のサイズのマクロブロックは、いわゆる4:2:0フォーマットによれば、輝度信号Yに関する4個のブロックと、色差信号Cb、Crに関する2個のブロックとの計6ブロックで構成される。各ブロックは、8×8個のデータ要素で構成される。つまり、上記従来のRLDによれば、4×8²画素のサイズのマクロブロックを表す6×8²個の成分のランレングス復号に、クロック信号202の中の6×8²個のクロックパルスを要する。したがって、クロック信号202の周波数は、画素クロック信号の周波数の1.5倍以上であることが要求される。

【0014】このことは、MPEG2の11種の仕様のうち現行テレビジョン方式の解像度に対応したメインレベルにおけるメインプロファイル(MP@ML)のように画素クロック信号の周波数が13.5MHz程度であれば、特に問題になることはない。なぜなら、他の条件をも考慮して、その4倍の54MHz程度の周波数を持つシステムクロック信号を容易に準備できるからである。

【0015】ところが、現行テレビジョン方式よりも解像度の高いHDTV(High Definition Television)方式に対応したMPEG2のハイ1440レベルにおけるメインプロファイル(MP@H1440)やハイレベルにおけるメインプロファイル(MP@HL)の場合には、画素クロック信号の周波数が40MHzを超える高い周波数であるので、上記従来のRLDではリアルタイムなランレングス復号の実現が困難である。

【0016】本発明の目的は、高周波数の画素クロック信号にリアルタイムに対応できる高効率のランレングス復号回路を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明は、スキャン変換用RAMに格納されているデータワードを予め全て“0”に初期化しておき、該スキャン変換用RAMの中の“0”に上書きするように、ゼロランレングスデータワードに基づいてレベルデータワードのみを該スキャン変換用RAMの中の対応する位置に書き込むこととしたものである。該スキャン変換用RAMへのレベルデータワードの書き込みアドレスは、線形アドレスを算出するための加算器と、該線形アドレスをジグザグスキャンアドレスに変換するためのルックアップテーブルとによって生成される。

【0018】特に、スキャン変換用RAMを2個のデュアルポートRAMで構成する場合には、一方のデュアルポートRAMへのレベルデータワードの書き込み期間に、他方のデュアルポートRAMに格納されているデータワードの読み出し及び初期化が行われる。この場合、1個のデータワードの読み出し直後に該データワードの初期化を行うのが好都合である。

【0019】また、スキャン変換用RAMを3個のシングルポートRAMで構成する場合には、いずれか1個のシングルポートRAMへのレベルデータワードの書き込み期間に、他の1個のシングルポートRAMに格納されているデータワードの読み出しと、更に他の1個のシングルポートRAMに格納されているデータワードの初期化とが行われる。

【0020】

【発明の実施の形態】図1は、本発明に係るRLD(ランレングス符号復号器)の回路構成例を、その前段のVLD(可変長符号復号器)とともに示している。図1の復号回路は、VLD101と、第1のデータラッチ10

8と、第2のデータラッチ109と、1ビットラッチ110と、第3のデータラッチ115と、アドレス加算器119と、ルックアップテーブル122と、読み出し用アドレス生成回路124と、初期化用アドレス生成回路127と、第1のスキャン変換用RAM131aと、第2のスキャン変換用RAM131bとを備えたパイプライン構成をとっている。第1及び第2のスキャン変換用RAM131a、131bは、各々デュアルポートRAMで構成されている。アドレス加算器119とルックアップテーブル122とは、書き込み用アドレス生成回路118を構成するものである。第1のデータラッチ108と、第2のデータラッチ109と、第3のデータラッチ115とのビット長はそれぞれ、例えば8、16及び16である。データ入力端子100を介して供給される可変長符号化されたデータストリームは、VLD101へ供給される。クロック信号102は、復号回路の同期動作のために、第1のデータラッチ108と、第2のデータラッチ109と、1ビットラッチ110と、第3のデータラッチ115と、アドレス加算器119とに分配される。また、VLD101へクロック信号102が直接に供給される。

【0021】VLD101は、DC係数の可変長符号がデータ入力端子100に与えられると、1個のブロックの始まりを示すブロックスタート信号をクロック信号102に同期して信号線103へ供給する。また、VLD101は、AC係数の可変長符号がデータ入力端子100に与えられると、非零の成分に先行する零成分の個数を表すゼロランレングスデータワードを信号線105へ、該非零の成分の絶対値を表すレベルデータワードを信号線106へ、該非零の成分が正であるか負であるかを指定する1ビット情報を信号線107へそれぞれクロック信号102に同期して供給する。DC係数に係る復号結果は、レベルデータとして信号線106及び107へ供給される。更に、VLD101は、EOBに係る可*

$$LADDR(n) = LADDR(n-1) + RUN(n) + 1$$

に従って新たな線形アドレスLADDR(n)を計算し、これを保持する。この新たな線形アドレスもまた、信号線121へ供給される。また、アドレス加算器119は、信号線120a上の第1の選択信号と信号線120b上の第2の選択信号とのうちのいずれか一方を“H”レベルに、他方を“L”レベルにそれぞれ設定する機能を備えており、信号線104上のEOB検出信号を受け取るたびに該第1及び第2の選択信号の論理レベルをそれぞれ反転させる。

【0024】ルックアップテーブル122は、図6のジグザグスキャンに対応した図8に示すアドレス変換テーブルを持っており、信号線121上の線形アドレスをこれに対応するジグザグスキャンアドレスに変換し、該ジグザグスキャンアドレスを信号線123へ供給する。

【0025】読み出し用アドレス生成回路124は、信

*変長符号がデータ入力端子100に与えられると、EOB検出信号をクロック信号102に同期して信号線104へ供給する。

【0022】信号線105上のゼロランレングスデータワードは第1のデータラッチ108に、信号線106上のレベルデータワードは第2のデータラッチ109に、信号線107上の1ビット情報は1ビットラッチ110に、それぞれクロック信号102に同期して取り込まれる。第1のデータラッチ108に取り込まれたゼロランレングスデータワードは、信号線113へ供給される。第2のデータラッチ109に取り込まれたレベルデータワードは信号線111を介して、1ビットラッチ110に取り込まれた1ビット情報は信号線135を介してそれぞれ正/負値切り替え部112へ供給される。信号線111上のレベルデータワードをLEVEL(n)とし、信号線135上の1ビット情報をS(n)とするとき(図7の例ではn=0~21である。)、正/負値切り替え部112は、前記の式(1)及び式(2)に従って符号付レベルデータワードSLEVEL(n)を計算し、該符号付レベルデータワードを信号線114へ供給する。信号線114上の符号付レベルデータワードは、クロック信号102に同期して第3のデータラッチ115に取り込まれる。第3のデータラッチ115に取り込まれた符号付レベルデータワードは、信号線116へ供給される。

【0023】信号線103上のブロックスタート信号を受けたアドレス加算器119は、クロック信号102に同期して、保持している線形アドレスを“0”に初期化し、該線形アドレスを信号線121へ供給する。また、アドレス加算器119は、保持している線形アドレスをLADDR(n-1)とし、信号線113上のゼロランレングスデータワードをRUN(n)とするとき(図7の例ではn=1~21である。)、クロック信号102に同期して、

$$\dots (3)$$

号線120a上の第1の選択信号が“H”レベルである場合には信号線125bへ、信号線120b上の第2の選択信号が“H”レベルである場合には信号線125aへそれぞれ読み出しアドレスを供給する。信号線125a上の読み出しアドレスは第1のスキャン変換用RAM131aに、信号線125b上の読み出しアドレスは第2のスキャン変換用RAM131bにそれぞれ与えられる。信号線125a上の読み出しアドレスに応じて第1のスキャン変換用RAM131aから読み出されたデータワードは第1のデータ出力端子134aへ、信号線125b上の読み出しアドレスに応じて第2のスキャン変換用RAM131bから読み出されたデータワードは第2のデータ出力端子134bへそれぞれ供給される。また、信号線126aには信号線125aと同じ読み出しアドレスが、信号線126bには信号線125bと同じ

9

読み出しアドレスがそれぞれ供給される。

【0026】初期化用アドレス生成回路127は、信号線126a上に読み出しアドレスが供給されたときには、該読み出しアドレスと同じアドレスを、少し遅れたタイミングで初期化アドレスとして信号線128aへ供給する。また、初期化用アドレス生成回路127は、信号線126b上に読み出しアドレスが供給されたときには、該読み出しアドレスと同じアドレスを、少し遅れたタイミングで初期化アドレスとして信号線128bへ供給する。

【0027】第1及び第2のスキャン変換用RAM131a、131bの周辺には、第1及び第2のデータマルチプレクサ129a、129bと、第1及び第2のアドレスマルチプレクサ132a、132bとが設けられている。第1のデータマルチプレクサ129aは、信号線120a上の第1の選択信号が“H”レベルである場合には信号線116上の符号付レベルデータワードを、該第1の選択信号が“L”レベルである場合には信号線117上の固定データワード“0”をそれぞれ信号線130aへ供給する。信号線130a上のデータワードは、第1のスキャン変換用RAM131aに書き込みデータとして与えられる。第2のデータマルチプレクサ129bは、信号線120b上の第2の選択信号が“H”レベルである場合には信号線116上の符号付レベルデータワードを、該第2の選択信号が“L”レベルである場合には信号線117上の固定データワード“0”をそれぞれ信号線130bへ供給する。信号線130b上のデータワードは、第2のスキャン変換用RAM131bに書き込みデータとして与えられる。第1のアドレスマルチプレクサ132aは、信号線120a上の第1の選択信号が“H”レベルである場合には信号線123上のジグザグスキャンアドレスを、該第1の選択信号が“L”レベルである場合には信号線128a上の初期化アドレスをそれぞれ信号線133aへ供給する。信号線133a上のアドレスは、第1のスキャン変換用RAM131aに書き込みアドレスとして与えられる。第2のアドレスマルチプレクサ132bは、信号線120b上の第2の選択信号が“H”レベルである場合には信号線123上のジグザグスキャンアドレスを、該第2の選択信号が“L”レベルである場合には信号線128b上の初期化

アドレスをそれぞれ信号線133bへ供給する。信号線133b上のアドレスは、第2のスキャン変換用RAM131bに書き込みアドレスとして与えられる。【0028】図1の復号回路によれば、第1のスキャン変換用RAM131aに格納されている全てのデータワードが“0”に初期化された後に、ゼロランレングスデータワードに基づいて符号付レベルデータワードのみが該第1のスキャン変換用RAM131aの中のジグザグスキャンアドレスで指定された位置の“0”に上書きされる。このようにして1個のブロックを構成する8×8

10

個の成分のうちの非零の成分のみが第1のスキャン変換用RAM131aに書き込まれている間に、第2のスキャン変換用RAM131bに格納されている1個のブロックの読み出し及び初期化が行われる。また、次のブロックの非零の成分のみが第2のスキャン変換用RAM131bに書き込まれている間に、第1のスキャン変換用RAM131aに格納されている1個のブロックの読み出し及び初期化が行われる。

【0029】例えば、第1のスキャン変換用RAM131aの書き込みが実行されるモードにおいて、DC係数の可変長符号に続いて、VLD101が“3”のゼロランレングスデータワードRUN(n)と、“2”のレベルデータワードLEVEL(n)と、“0”の1ビット情報S(n)とを生成するようなAC係数の可変長符号がデータ入力端子100に与えられたものとする。このとき、アドレス加算器119は、“0”の線形アドレスLADDR(n-1)を信号線121へ供給した後、式(3)に従って“4(10進数表現)”の線形アドレスLADDR(n)を信号線121へ供給する。したがって、ルックアップテーブル122は、図8に示すアドレス変換テーブルに従って、“000 000(2進数表現)”の次に“001 001(2進数表現)”のジグザグスキャンアドレスを第1のスキャン変換用RAM131aへ供給する。第3のデータラッチ115は、DC係数に係る符号付レベルデータワードSLEVEL(n-1)の次に、式(1)から得られた“+2”の符号付レベルデータワードSLEVEL(n)を第1のスキャン変換用RAM131aへ供給する。したがって、第1のスキャン変換用RAM131aの中のジグザグスキャンアドレス“000 000”で指定された位置の“0”がDC係数に係る符号付レベルデータワードSLEVEL(n-1)に書き替えられた後、ジグザグスキャンアドレス“001 001”で指定された位置の“0”が“+2”の符号付レベルデータワードSLEVEL(n)に書き替えられる。この際、線形アドレス“1”、“2”及び“3”の各々に対応するジグザグスキャンアドレスで指定された位置の“0”は第1のスキャン変換用RAM131aの中にそのまま残る。以下同様にして、AC係数の可変長符号がデータ入力端子100に与えられるたびに、第3のデータラッチ115に取り込まれた符号付レベルデータワードが、第1のスキャン変換用RAM131aの中の対応する位置の“0”に上書きされる。

【0030】以上のとおり、図1の復号回路によれば、スキャン変換用RAM(例えば131a)に格納されている全てのデータワードを予め“0”に初期化しておき、該スキャン変換用RAMに符号付レベルデータワードのみをクロック信号102に同期して書き込むこととしたので、1個のブロックを構成する8×8個の成分のうちの非零の成分の個数に応じて、1個のブロックの処

理に要するクロック信号102の中のクロックパルスの数が 8^2 個よりかなり少なくなる。したがって、カラー動画像の中の 16×16 画素のサイズのマクロブロック(4:2:0フォーマット)を処理する場合でも、画素クロック信号と同じ周波数を有するクロック信号102を使用できる。なぜなら、図1の復号回路によれば、画素クロック信号の周波数が40MHzを越える高い周波数であっても、クロック信号102の中の 4×8^2 個よりも少ない数のクロックパルスで、マクロブロックを表す 6×8^2 個の成分のリアルタイムなランレングス復号を容易に実現できるからである。

【0031】上記第1のデータ出力端子134a上に読み出されたデータワードは各々パイプライン構成を持つ1組の逆量子化器及びIDCT回路へ、第2のデータ出力端子134b上に読み出されたデータワードは各々パイプライン構成を持つ他の1組の逆量子化器及びIDCT回路へそれぞれ供給されるのが好都合である。複数のパイプラインの並列動作によって、図1の復号回路の有効な活用ができる。

【0032】なお、3個以上のデュアルポートRAMを用いても同様の効果が得られるのは明らかである。また、上記の例では1個のデータワードを読み出すたびに該データワードを“0”に初期化することとしたが、1個のブロックの読み出し完了後に該ブロックの初期化を開始することとしてもよい。ただし、1個のブロックを構成する 8×8 個の成分のうちの非零の成分の書き込みが完了するまでに、先行ブロックの読み出し及び初期化が完了していなければならない。

【0033】図1の復号回路において、先行ブロックの初期化完了時に初期化用アドレス生成回路127がアドレス加算器119へ書き込み要求信号を供給するようにしてもよい。アドレス加算器119は、この書き込み要求信号を受け取るまでは、信号線104上のEOB検出信号を受け取っても信号線120a上の第1の選択信号と信号線120b上の第2の選択信号とを反転しないで待ち、かつVLD101へウェイト信号を与える。このようにすれば、前記先行ブロックの読み出し及び初期化と、次のブロックの書き込みとが完了した後に初めて、更に次のブロックの書き込みが開始することとなる。なお、第1及び第2のスキャン変換用RAM131a、131bの中のブロックの読み出し及び初期化を高速化するためには、複数データワード単位の読み出し及び初期化の実行などが効果的である。

【0034】図2は、各々シングルポートRAMで構成された第1、第2及び第3のスキャン変換用RAM131a、131b、131cを備えた本発明に係る他の復号回路の構成の一部を示している。この復号回路は、図1中のVLD101、第1のデータラッチ108、第2のデータラッチ109、1ビットラッチ110、正/負値切り替え部112及び第3のデータラッチ115と同

様の回路ブロックをも備えたものであるが、このうちの第3のデータラッチ115以外の回路ブロックの図示は図2では簡略化のために省略されている。

【0035】図2中のアドレス加算器119は、信号線103にブロックスタート信号が供給された場合には、クロック信号102に同期して、保持している線形アドレスを“0”に初期化し、該線形アドレスを信号線121へ供給するとともに、信号線152へトリガ信号を供給する。また、アドレス加算器119は、保持している線形アドレスをLADDR(n-1)とし、信号線113上のゼロランレングスデータワードをRUN(n)とすると、前記の式(3)に従って新たな線形アドレスLADDR(n)をクロック信号102に同期して計算し、これを保持する。この新たな線形アドレスもまた、信号線121へ供給される。また、アドレス加算器119は、信号線151上の2ビット情報を“00”、“10”及び“01”にサイクリックに設定する機能を備えており、信号線104上のEOB検出信号を受け取るたびに該2ビット情報を“00”から“10”へ、“10”から“01”へ、“01”から“00”へと更新する。

【0036】図2中のルックアップテーブル122は、図6のジグザグスキャンに対応した図8に示すアドレス変換テーブルを持っており、信号線121上の線形アドレスをこれに対応するジグザグスキャンアドレスに変換し、該ジグザグスキャンアドレスを信号線123へ供給する。

【0037】信号線152上のトリガ信号は、読み出し・初期化用アドレス生成回路159に供給される。読み出し・初期化用アドレス生成回路159は、信号線152上のトリガ信号を受けて、読み出し兼初期化アドレスを信号線160へ順次供給する動作を開始する。

【0038】信号線151上の2ビット情報は、デコーダ153に供給される。デコーダ153の内部構成例が図3(a)に示されている。デコーダ153は、信号線151上の2ビット情報を構成する上位ビット151.1と下位ビット151.0とを各々の2入力とした4個の論理回路171、172、173、175と、上位ビット151.1を入力としたインバータ174と、下位ビット151.0を入力としたインバータ176とを備えている。デコーダ153は、6本の出力信号線154a、154b、154c、155a、155b、155cを持っている。このデコーダ153の真理値表を図3(b)に示す。

【0039】図2中の第1、第2及び第3のスキャン変換用RAM131a、131b、131cの周辺には、第1、第2及び第3のデータマルチプレクサ129a、129b、129cと、第1、第2及び第3の非反転制御バッファ156a、156b、156cと、第1、第2及び第3の反転制御バッファ158a、158b、1

13

58cと、第1、第2及び第3のアドレスマルチプレクサ132a、132b、132cとが設けられている。

【0040】第1のデータマルチプレクサ129aは、信号線154a上の選択信号が“H”レベルである場合には信号線116上の符号付レベルデータワードを、該選択信号が“L”レベルである場合には信号線117上の固定データワード“0”をそれぞれ信号線130aへ供給する。第1の非反転制御バッファ156aは、信号線155a上の制御信号が“H”レベルである場合には信号線130a上のデータワードを信号線157aへ供給し、該制御信号が“L”レベルである場合には自己の出力をハイインピーダンス状態に保つ。信号線157a上へ供給されたデータワードは第1のスキャン変換用RAM131aに与えられる。第1の反転制御バッファ158aは、信号線155a上の制御信号が“L”レベルである場合には第1のスキャン変換用RAM131aから信号線157a上に読み出されたデータワードをデータ出力端子134へ供給し、該制御信号が“H”レベルである場合には自己の出力をハイインピーダンス状態に保つ。第1のアドレスマルチプレクサ132aは、信号線154a上の選択信号が“H”レベルである場合には信号線123上のジグザグスキャンアドレスを、該選択信号が“L”レベルである場合には信号線160上の読み出し兼初期化アドレスをそれぞれ信号線133aへ供給する。信号線133a上のアドレスは第1のスキャン変換用RAM131aに与えられる。第2のデータマルチプレクサ129b、第2の非反転制御バッファ156b、第2の反転制御バッファ158b、第2のアドレスマルチプレクサ132b及び信号線130b、133b、154b、155b、157bは、第2のスキャン変換用RAM131bのために設けられたものであって、第1のデータマルチプレクサ129a、第1の非反転制御バッファ156a、第1の反転制御バッファ158a、第1のアドレスマルチプレクサ132a及び信号線130a、133a、154a、155a、157aにそれぞれ対応する。第3のデータマルチプレクサ129c、第3の非反転制御バッファ156c、第3の反転制御バッファ158c、第3のアドレスマルチプレクサ132c及び信号線130c、133c、154c、155c、157cは、第3のスキャン変換用RAM131cのために設けられたものであって、第1のデータマルチプレクサ129a、第1の非反転制御バッファ156a、第1の反転制御バッファ158a、第1のアドレスマルチプレクサ132a及び信号線130a、133a、154a、155a、157aにそれぞれ対応する。

【0041】図2の復号回路によれば、第1のスキャン変換用RAM131aに格納されている全てのデータワードが“0”に初期化された後に、ゼロランレングスデータワードに基づいて符号付レベルデータワードのみが

14

該第1のスキャン変換用RAM131aの中のジグザグスキャンアドレスで指定された位置の“0”に上書きされる。このようにして1個のブロックを構成する8×8個の成分のうちの非零の成分のみが第1のスキャン変換用RAM131aに書き込まれている間に、第2のスキャン変換用RAM131bに格納されている1個のブロックの読み出しと、第3のスキャン変換用RAM131cに格納されている1個のブロックの初期化とが行われる。また、次のブロックの非零の成分のみが第3のスキャン変換用RAM131cに書き込まれている間に、第1のスキャン変換用RAM131aに格納されている1個のブロックの読み出しと、第2のスキャン変換用RAM131bに格納されている1個のブロックの初期化とが行われる。更に次のブロックの非零の成分のみが第2のスキャン変換用RAM131bに書き込まれている間に、第3のスキャン変換用RAM131cに格納されている1個のブロックの読み出しと、第1のスキャン変換用RAM131aに格納されている1個のブロックの初期化とが行われる。したがって、図2の復号回路によれば、図1の場合と同様に、高周波数の画素クロック信号にリアルタイムに対応した高効率のランレングス復号を実現できる。

【0042】なお、4個以上のシングルポートRAMを用いても同様の効果が得られるのは明らかである。1個のブロックの読み出し完了後に該ブロックを初期化する場合には、2個のシングルポートRAMで十分である。

【0043】図2の復号回路において、第1の先行ブロックの初期化と第2の先行ブロックの読み出しとが完了した時点で読み出し・初期化用アドレス生成回路159がアドレス加算器119へ書き込み要求信号を供給するようにしてもよい。アドレス加算器119は、この書き込み要求信号を受け取るまでは、信号線104上のEOB検出信号を受け取っても信号線151上の2ビット情報を更新しないで待ち、かつVLD101へウェイト信号を与える。このようにすれば、前記第1の先行ブロックの初期化と、前記第2の先行ブロックの読み出しと、次のブロックの書き込みとが完了した後に初めて、更に次のブロックの書き込みが開始することとなる。なお、第1、第2及び第3のスキャン変換用RAM131a、131b、131cの中のブロックの読み出し及び初期化を高速化するためには、複数データワード単位の読み出し及び初期化の実行などが効果的である。

【0044】

【発明の効果】以上説明してきたとおり、本発明によれば、スキャン変換用RAMに格納されているデータワードを予め全て“0”に初期化しておき、該スキャン変換用RAMの中の“0”に上書きするように、ゼロランレングスデータワードに基づいてレベルデータワードのみを該スキャン変換用RAMの中の対応する位置に書き込むこととしたので、高周波数の画素クロック信号にリア

15

ルタイムに対応できる高効率のランレングス復号回路を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る復号回路の構成例を示すブロック図である。

【図2】本発明に係る他の復号回路の構成例の一部を示すブロック図である。

【図3】(a)は図2中のデコーダの内部構成例を示す回路図であり、(b)はその真理値表を示す図である。

【図4】従来の復号回路の構成例を示すブロック図である。

【図5】量子化直後の1個のブロック中の成分の例を示す図である。

【図6】ジグザグスキャンの順序に関する規則の例を示す図である。

【図7】ランレングス符号化されたデータストリームの例を示す図である。

【図8】図6に対応したアドレス変換テーブルの例を示す図である。

【符号の説明】

- 100 データ入力端子
- 101 可変長符号復号器(VLD)
- 102 クロック信号
- 103 信号線(ブロックスタート信号)
- 104 信号線(EOB検出信号)
- 105 信号線(ゼロランレングスデータワード)
- 106 信号線(レベルデータワード)
- 107 信号線(レベルデータワードの正負を表す1ビット情報)
- 108 第1のデータラッチ
- 109 第2のデータラッチ
- 110 1ビットラッチ
- 111 信号線(ラッチされたレベルデータワード)
- 112 正/負値切り替え部
- 113 信号線(ラッチされたゼロランレングスデータワード)
- 114 信号線(符号付レベルデータワード)

【図5】

	0	1	2	3	4	5	6	7 ^u
0	29	0	0	1	0	1	-1	0
1	2	0	0	0	0	-1	0	0
2	0	1	-1	0	0	0	0	0
3	1	0	0	0	1	0	0	-1
4	1	-1	-1	1	0	1	0	0
5	-1	1	0	1	0	1	0	0
6	0	1	0	1	0	0	0	0
v 7	0	0	0	0	0	0	0	0

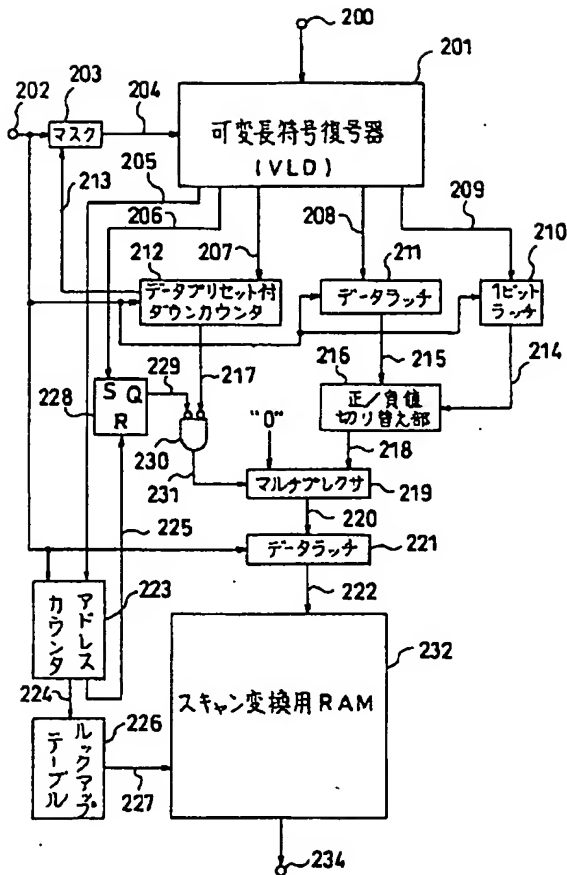
16

- 115 第3のデータラッチ
- 116 信号線(ラッチされた符号付レベルデータワード)
- 117 信号線(固定データワード“0”)
- 118 書き込み用アドレス生成回路
- 119 アドレス加算器
- 120 a, 120 b 信号線(選択信号)
- 121 信号線(線形アドレス)
- 122 ルックアップテーブル
- 123 信号線(ジグザグスキャンアドレス)
- 124 読み出し用アドレス生成回路
- 125 a, 125 b 信号線(読み出しアドレス)
- 126 a, 126 b 信号線(読み出しアドレス)
- 127 初期化用アドレス生成回路
- 128 a, 128 b 信号線(初期化アドレス)
- 129 a, 129 b, 129 c データマルチプレクサ
- 130 a, 130 b, 130 c 信号線
- 131 a, 131 b, 131 c スキャン変換用RAM
- 132 a, 132 b, 132 c アドレスマルチプレクサ
- 20 サ
- 133 a, 133 b, 133 c 信号線
- 134, 134 a, 134 b データ出力端子
- 135 信号線(ラッチされた1ビット情報)
- 151 信号線(2ビット情報)
- 151. 0 2ビット情報の下位ビット
- 151. 1 2ビット情報の上位ビット
- 152 信号線(トリガ信号)
- 153 デコーダ
- 154 a, 154 b, 154 c 信号線(選択信号)
- 30 155 a, 155 b, 155 c 信号線(制御信号)
- 156 a, 156 b, 156 c 非反転制御バッファ
- 157 a, 157 b, 157 c 信号線
- 158 a, 158 b, 158 c 反転制御バッファ
- 159 読み出し・初期化用アドレス生成回路
- 160 信号線(読み出し兼初期化アドレス)
- 171, 172, 173, 175 2入力論理回路
- 174, 176 インバータ

【図6】

	0	1	2	3	4	5	6	7 ^u
0	0	1	5	6	14	15	27	28
1	2	4	7	13	16	26	29	42
2	3	8	12	17	25	30	41	43
3	9	11	18	24	31	40	44	53
4	10	19	23	32	39	45	52	54
5	20	22	33	38	48	51	55	60
6	21	34	37	47	50	56	59	61
v 7	35	36	46	49	57	58	62	63

【図4】



【図7】

符号番号	ゼロランレンスデータ	符号の成分データ	備考
0		28	DC係数
1	1	2	AC係数
2	3	1	
3	1	1	
4	0	1	
5	0	1	
6	1	-1	
7	2	1	
8	3	-1	
9	0	-1	
10	1	1	
11	0	-1	
12	2	-1	
13	0	-1	
14	3	1	
15	0	1	
16	1	1	
17	3	1	
18	6	1	
19	1	1	
20	3	1	
21	1	-1	
22	End of Block		

【図8】

線形アドレス 10進数表現	ググザグスキャンアドレス 2進数表現	線形アドレス 10進数表現	ググザグスキャンアドレス 2進数表現
0	000 000	32	100 011
1	000 001	33	101 010
2	001 000	34	110 001
3	010 000	35	111 000
4	001 001	36	111 001
5	000 010	37	110 010
6	000 011	38	101 011
7	001 010	39	100 100
8	010 001	40	011 101
9	011 000	41	010 110
10	100 000	42	001 111
11	011 001	43	010 111
12	010 010	44	011 110
13	001 011	45	100 101
14	000 100	46	101 100
15	000 101	47	110 011
16	001 100	48	111 010
17	010 011	49	111 011
18	011 010	50	110 100
19	100 001	51	101 101
20	101 000	52	100 110
21	110 000	53	011 111
22	101 001	54	100 111
23	100 010	55	101 110
24	011 011	56	110 101
25	010 100	57	111 100
26	001 101	58	111 101
27	000 110	59	110 110
28	000 111	60	101 111
29	001 110	61	110 111
30	010 101	62	111 110
31	011 100	63	111 111

フロントページの続き

(51) Int. Cl. ⁶

H 0 4 N 7/30

識別記号

庁内整理番号

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.